

Arbeitsbereich

Technische Grundlagen der Informatik (TECH)

Vogt-Kölln-Str. 30, 22527 Hamburg; Tel.: (040) 428 83-2430, Fax: (040) 428 83-2397
URL: <http://tech-www.informatik.uni-hamburg.de>

1. Zusammenfassende Darstellung

Mitglieder des Arbeitsbereichs

Professoren:

Dr. Klaus von der Heide, Dr. Klaus Lagemann (bis Okt. 1999)

Assistenten/Wiss. Mitarbeiter:

Ole Blaurock (Seit Dez. 2000), Lars Larsson (bis 1999), Lars Hahn (bis März 2001), Dr. Norman Hendrich, Dr. Reinhard Rauscher (Privatdozent), Bernd Schütz

Technisches und Verwaltungspersonal:

Manfred Grove, Heike Tewes (Sekretariat, bis Sept. 2000), Katrin Köster (Sekretariat, ab Okt. 2000),
Andreas Mäder

Gäste:

Xingang Yang (China, bis 1999)

Allgemeiner Überblick

Der Integrationsgrad für mikroelektronische Schaltungen (VLSI: Very Large Scale Integration) hat nun auch für die nicht-regulären Strukturen, also z.B. für Prozessoren aller Art, Werte von mehreren Millionen Komponenten erreicht. Damit geht der Wettlauf zwischen den gebotenen technologischen Möglichkeiten und dem entwurfstechnisch beherrschbaren Aufgaben ungebrochen weiter. Erforderlich wird der Übergang zu immer höheren (abstrakteren) Entwurfsebenen, verbunden mit einem sich ständig erweiternden Bedarf an Informatikmethoden.

Der Arbeitsbereich TECH gehört zu den Gründungsmitgliedern des europaweiten EU-ESPRIT-Verbund-Projekts „EUROCHIP – Promotion of the VLSI-skills“. Aus diesem Projekt wird insbesondere die praktisch kostenlose Lieferung moderner CAD-Tools (im Marktwert von vielen Hunderttausend DM) sowie der kostengünstige Zugang zur Chip-Fertigung gewährleistet. Inzwischen hat es eine Umorganisation gegeben: Das EUROCHIP-Projekt wird nunmehr unter dem Namen „EUROPRACTICE“ fortgeführt, wobei jetzt auch offiziell Kooperationen mit (kleinen) Industriepartnern unterstützt werden.

Forschungsschwerpunkte

Traditionell läßt sich das Gebiet des „Entwurfs integrierter Schaltungen“ aus zwei wesentlichen Blickwinkeln heraus gestalten:

Entwurf von integrationsgerechten Architekturen

Bei einem gegebenen Stand an Herstellungstechnologie, CAD-Werkzeugen und Ausbildungsstand gibt es jeweils Aufgabenstellungen, die quasi „per Routine“ lösbar sind; hier liegt das Aufgabenfeld z.B. von Firmen, Ingenieurbüros oder Technologiezentren. Die Universität, hier der Arbeitsbereich TECH, verfügt aber über eine besondere Ressource, nämlich über einen deutlich höheren Ausbildungs- und Kenntnisstand als üblicherweise in der Industrie, und zwar speziell zur Breite und Tiefe von grundsätzlich verwendbaren Informatikmethoden, wie z.B. Beherrschung von Komplexität. Deswegen lassen sich durch gezielten Einsatz von Spezialkenntnissen derzeit schon Lösungen gewinnen, wie sie „per Routine“ eigentlich erst in einigen Jahren möglich werden.

Bisher wurden – in der Regel in Standardzellentechnik, neuerdings auch in FPGA-Technik – zahlreiche Chips mit unkonventionellen Architekturen entworfen und im Rahmen des EUROCHIP / EUROPRACTICE-Projekts gefertigt. Thematisch werden dadurch z.B. erfaßt: Bildvorverarbeitung, programmierbarer Feldbusprozessor, neuronale Netze, Histogrammprozessor, Spezialrechner für das Versicherungswesen.

Speziell in den Jahren 1997/98 entstand in Kooperation mit der Industrie eine anwenderkonfigurierbare Schrittmotorsteuerung.

Fortgeführt wurde die im Jahr 1995 mit der Firma Philips begonnene Zusammenarbeit auf dem Sektor der „integrationsgerechten Gestaltung von Verschlüsselungstechniken“. Hier geht es um eine effiziente Kombination von Schutz gegen kryptoanalytische Angriffe mit Implementierung bei geringstem elektrischen Leistungsverbrauch auf Chips.

Neu hinzugekommen sind Untersuchungen zu dynamisch rekonfigurierbaren Architekturen. Dies sind Architekturen, deren Hardwarestruktur sich im Betrieb automatisch an die momentanen Anforderungen anpassen. Ermöglicht wird dies durch die neue FPGA-Technologie (mit eingebauten Speicherelementen).

Entwicklung von CAD-Werkzeugen

Der Arbeitsbereich TECH benutzt vornehmlich die Entwurfswerkzeuge der Firmen CADENCE und SYNOPSIS im Gesamtumfang von derzeit etwa 20 GByte; in diesen Paketen enthalten sind knapp 100 einzelne Werkzeuge. Jedes Jahr erscheinen mehrere Dutzend neue Versionen und Up-Dates. Die Größenordnung dieser CAD-Pakete verdeutlicht, daß die Universitäten grundsätzlich nicht (mehr) in der Lage sind, solche CAD-Systeme selbst zu entwickeln. (Deswegen hat ja das EUROCHIP/EUROPRACTICE-Projekt die Lieferung dieser Ressourcen übernommen). Es ist allenfalls möglich, sich gewisse Teilaufgaben des Entwurfsprozesses herauszugreifen und daran Verbesserungen zu erkunden. Insbesondere sind die Werkzeuge für die höheren Entwurfsebenen oftmals noch nicht ausgereift. Der weiter gestiegene Integrationsgrad zieht derzeit auch eine erweiterte Betrachtung des gesamten Entwurfsvorgangs nach sich, und zwar in folgender Weise:

- Viele bisher in Software realisierten Algorithmen lassen sich – insbesondere bei zeitkritischen Anwendungen – inzwischen effizienter durch Hardware realisieren. Dadurch entsteht als neue Herausforderung die (automatische) Partitionierung der Algorithmen in Hardware- und Software-Anteile („Hardware-Software-Codesign“). Als spezielle Variante gibt es neuerdings sich in der Hardware selbst modifizierende Prozessoren.
- Anwendungsspezifische integrierte Schaltungen aus Hunderttausenden oder gar Millionen Transistoren weisen oft derart spezielle Systemeigenschaften auf, daß schon beim Entwurf auf die Einbettung in die Anwendungsumgebung zu achten ist. Speziell tritt dabei die Frage nach der Verteilung von Funktionen in komplexen Anwendungen auf („Embedded Systems“).

Im Arbeitsbereich TECH wurden aus dem riesigen Feld der CAD-Werkzeuge die Bearbeitung einiger Fragen zur Mikroprogrammierung, zu Placement and Routing und zum Entwurf von FPGA-Schaltungen fortgeführt. In Kooperation mit dem Fachbereich Mathematik konnten die Arbeiten an „Heuristiken für Placement and Routing“ weiter vorangetrieben werden.

Erwähnt seien hier die sehr erfolgreichen Ansätze, die komplizierten Abläufe in VLSI-Schaltungen mit Hilfe von Animationen in der Sprache JAVA wesentlich besser durchschaubar zu machen. Um die sich hier eröffnenden Möglichkeiten wirklich ausschöpfen zu können, bedürfte es eines eigenen wissenschaftlichen Projekts; leider machten Stellenstreichungen solche innovativen Ansätze zunichte.

Wissenschaftliche Zusammenarbeit

- EU-ESPRIT-Projekt: EUROCHIP/EUROPRACTICE – Promotion of the VLSI-skills.
- Kooperation mit dem Fachbereich Mathematik der Universität Hamburg zum Thema „Bewertung von Heuristiken für Placement und Routing“.
- Kooperation mit der Fa. Philips zu Kryptographie-Prozessor.
- Kooperation mit der Fa. Philips im Drittmittelprojekt „Hardware-Software-Codesign“ (ab 1.12.2001)
- Kooperation (EU-Projekt) mit der Firma TRINAMIC zur Entwicklung eines „Motion Control Chips (MCC)“
- Kooperation mit der TU Harburg zur Entwicklung innovativer Strukturen für programmierbare Hardware

Ausstattung

Zur Ausstattung gehören z.Z. 8 CAD-Farbgraphik-Workstations, 14 PCs (ab '486); 1 Macintosh-Rechner (für Textverarbeitung); fernerhin eine Einrichtung der Firma Tektronix zum Funktionstest für gefertigte Chips.

Finanzmittel

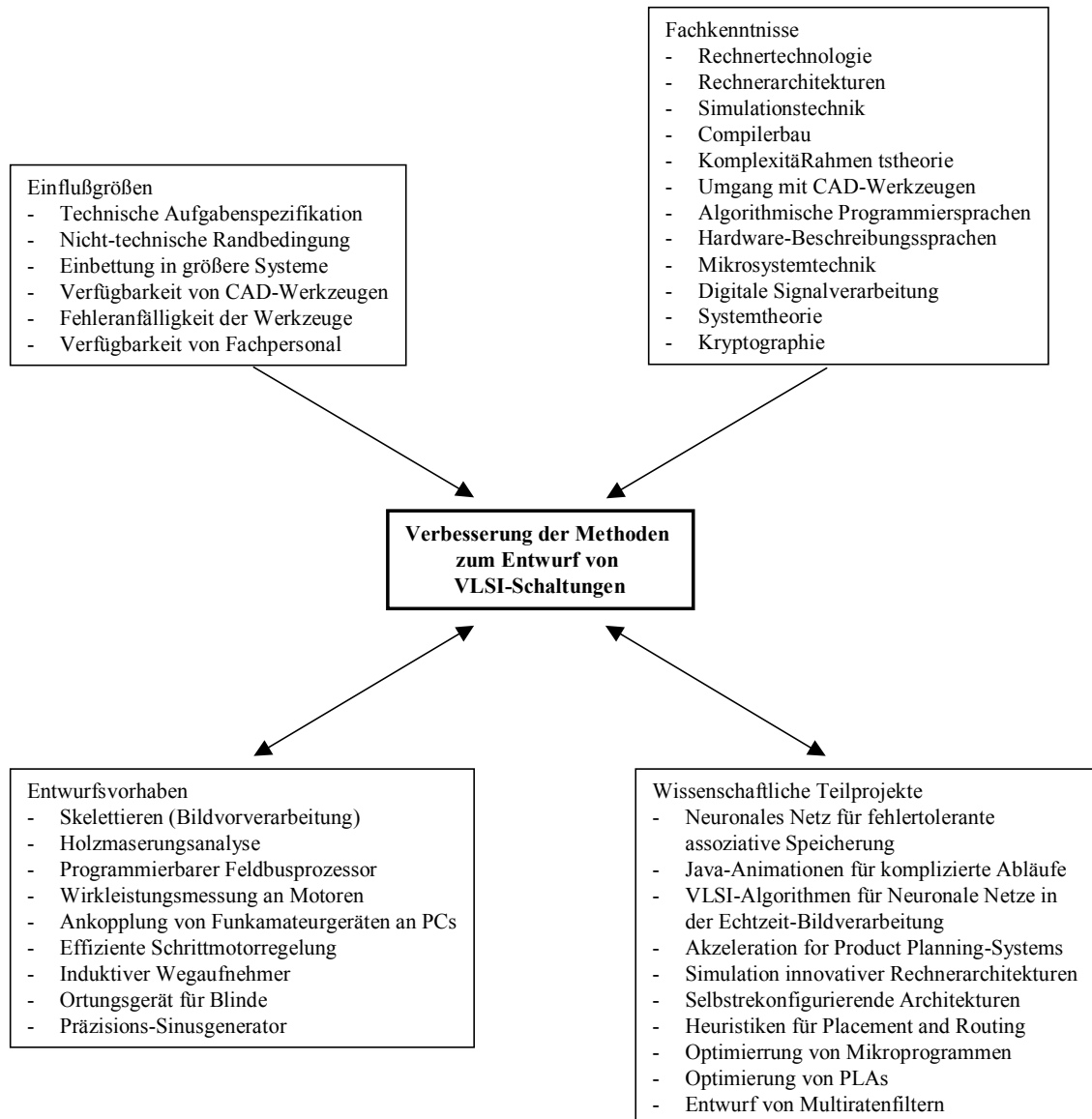
Als Mitglied im EU-Programm EUROCHIP/EUROPRACTICE erhielt der Arbeitsbereich u.a. kostenlose CAD-Software sowie kostenlose Chip-Fertigung im Mittel pro Jahr etwa 250.000,- DM.

2. Die Forschungsvorhaben der Fachbereichseinrichtung

Etatisierte Projekte

2.0 Der allgemeine Hintergrund

Eine moderne hochintegrierte VLSI-Schaltung zu entwerfen (VLSI: Very Large Scale Integration) entspricht etwa der fiktiven Aufgabe, eine komplette Stadt der Größe Deutschlands mit sämtlichen Gebäuden, Straßen und sonstigen Infrastrukturen zu planen, und dies, ohne einen einzigen Fehler im Spektrum zwischen einerseits großräumig sinnvoller Zielsetzung und andererseits den kleinsten Details der konkreten Ausgestaltung zu begehen. Geeignete Methoden zum „Entwurf hochintegrierter Schaltungen“ zu entwickeln, gilt daher seit Jahren als eine ständige – und mit anwachsendem Integrationsgrad zunehmende – Herausforderung an die Wissenschaft. „Entwurfsmethodik an sich“ läßt sich nicht als ein in sich geschlossenes Projekt beschreiben: dazu entwickeln sich die Randbedingungen zu schnell weiter, und die Vielfalt der Einflußgrößen ist bisher nur in Ausschnitten beherrschbar.



Der Arbeitsbereich nähert sich dem Ziel „verbesserte Entwurfsmethodik“ in folgender Weise: Zum einen gibt es konkrete Entwurfsvorhaben, mehrfach auch in Zusammenarbeit mit der Industrie, an denen Erfahrungen zu Anforderungen, Schwierigkeiten, Mentalitätsgrenzen usw. gewonnen werden. Solche Vorhaben laufen z.B. über ein Jahr. Die im Berichtszeitraum bearbeiteten Vorhaben sind in den Abschnitten 2.1 und 2.13 geschildert.

- Zum anderen kristallisieren sich aus solchen Vorhaben konkrete längere, wissenschaftlich anspruchsvolle Teilprojekte heraus, die z.B. in Promotionen bearbeitet werden (Abschnitte 2.2 bis 2.12)
- Einer besonderen Würdigung bedarf die Einbindung des Forschungs- und Lehrbetriebs in das EU-Projekt EUROCHIP/EUROPRACTICE wegen der sehr hohen Sachmittelunterstützung (Abschnitt 2.14).

Im Übersichtsbild ist das allgemeine Ziel der Entwurfsmethodik eingerahmt von Beispielsangaben zu:

- **Einflußgrößen:** Gesichtspunkte, die im Entwurfsablauf zu berücksichtigen sind.
- **Fachkenntnisse:** Fachwissen (aus der Informatik), das für erfolgreiches Entwerfen unentbehrlich ist.
- **Entwurfsvorhaben:** Vorhaben zum Gewinn von Erfahrungen
- **Teilprojekte:** Vertiefte wissenschaftliche Projekte zu speziellen Aspekten des Entwerfens.

2.1 Entwurf innovativer Architekturen

Rauscher, Reinhard, Dr.; Mäder, Andreas, Dipl.-Inform.

Laufzeit des Projektes:

wissenschaftliche Daueraufgaben

Projektbeschreibung

Im Berichtszeitraum wurden folgende Entwurfsvorhaben bzw. die dazu gehörenden Begleitmaßnahmen aufgegriffen oder fortgeführt:

- Untersuchungen zur Hardwareakzeleration kryptographischer Verfahren.
Die im Jahr 1995 begonnene Kooperation mit der Firma Philips zu Kryptographie-Verfahren wurden fortgesetzt
- Die Diplomarbeit von Herrn Siegmund wurde im Jahr 2000 abgeschlossen. Da sich in der Literatur abzeichnete, daß anstatt endlicher Körper von Primzahlordnung Körper der Ordnung 2^k als Grundlage für elliptische Kurven Verwendung finden, sollte das in der DA Bohnsack (in 1998) erarbeitete Konzept auf solche Körper erweitert werden.
- Im Jahr 2000 wurde der Rumpf für eine Veröffentlichung in einer internationalen Konferenz erstellt.

Schlagwörter:

Kundenspezifische Schaltungen; ASICs; Kryptographische Verfahren; elliptische Kurven

Publikationen aus dem Projekt:

Bohnsack, F.: Untersuchung von elliptischen Kurven für die Tauglichkeit zur Hardwareakzeleration von Kryptoverfahren, Diplomarbeit September 1997

Gorr, S.: Konzeption, Evaluierung und Implementierung eines Akzelerators für elliptische Kurven, Diplomarbeit Febr. 2000, Betreuer: Rauscher, Zweitbetreuer: Valk

Hahn, L.: Konzeption und Implementation eines Hardwareakzelerators zum RSA-Verfahren, Diplomarbeit September 1997

Rauscher, R., Bohnsack, F.: Results of an Elliptic-Curve-Approach for Use in Cryptosystems, Proceedings of EUROMICRO'99, Los Alamitos: IEEE Computer Society Press, Milan, Sept. 1999, pp 415-422

2.2 Simulation und Visualisierung von Rechnerstrukturen (HADES)

Hendrich, Norman, Dr.

Laufzeit des Projektes:

ab 1996

Projektbeschreibung

Das Verständnis der zeitlichen Abläufe in Rechensystemen kann durch statische Abbildungen, etwa in Lehrbüchern, nur sehr unzureichend vermittelt werden. Angesichts weiter wachsender Systemkomplexität erweisen sich die interaktive Simulation und die Animation dieser Vorgänge zunehmend als unverzichtbar, nicht nur zur Unterstützung der Lehre. Ziel des Projekts HADES (Hamburger Design System) ist daher die Erstellung eines flexiblen und portablen Rahmenwerks zur Simulation digitaler Systeme, mit dem alle Entwurfsebenen von der Hardware/Software-Cosimulation bis herunter zur Gatterebene abgedeckt werden. Nicht zuletzt werden auch animierte Darstellungen von Schaltungen auf der Register-Transfer-Ebene unterstützt. Wegen der Verfügbarkeit auf allen verbreiteten Rechnerplattformen und der Option, Applets mit erläuterndem Hypertext zu integrieren, wird das System in Java implementiert. Software, Dokumentation und Beispiele des Systems sind über die Hades-Homepage unter tech-www.informatik.uni-hamburg.de/applets/hades/ frei verfügbar.

Im Berichtszeitraum konnte das Hades-Framework in wichtigen Punkten weiter verbessert werden. Nach einem umfangreichem Refactoring der Klassen zum Datei- und Ressourcenzugriff lässt sich der Editor jetzt ohne vorherige Konfiguration von Umgebungsvariablen (Java CLASSPATH) einsetzen, was die Installation der Software deutlich vereinfacht. Über erweiterte Funktionen im Design-Manager können Simulationsmodelle und Schaltungen in JAR-Archiven verpackt und zugegriffen werden. Neue Simulationsmodelle für LFSR- (linear feedback shift register) und BILBO- (built-in logic block observer) Register erlauben es, bekannte Verfahren aus dem Umfeld selbsttestender Schaltungen auch für

Testumgebungen von Hades einzusetzen. Schliesslich wurden das in 2000 fertiggestellte Simulationsmodell für den IDT R3051 Mikroprozessor in weiteren Testapplikationen erprobt und verbessert. Als typischer Vertreter der MIPS R3000 Architektur ist mit diesem Prozessormodell die Co-Simulation von eingebetteten Systemen möglich. Das Modell unterstützt eine zyklus-genaue Simulation des R3051 inklusive Befehlspipeline, I-Cache, konfigurierbarem D-Cache, sowie der kompletten Speicherschnittstelle inklusive Write-Buffer. Trotz des hohen Detaillierungsgrades wird eine erfreuliche Performance erreicht, die auch den Test von umfangreicher Software erlaubt. Mit der Jython-Skriptanbindung (DA Meyer) ist es möglich, nicht nur Editor sondern das gesamte Hades-System interaktiv zu steuern. Tatsächlich bietet der Jython-Interpreter die Option, zur Laufzeit jede beliebige Java-Funktion in Hades aufzurufen, was nicht zuletzt das Debugging oder die Entwicklung neuer Komponenten enorm erleichtert.

Die aktuellen Forschungsarbeiten konzentrierten sich wiederum auf die HW/SW-Cosimulation. Hierbei wurde insbesondere ein neues Konzept von Cosimulation erprobt, das die Flexibilität klassischer Instruction-Level Simulatoren mit der Performance von compilierenden Simulatoren verbindet. Durch den direkten Zugriff auf den Hades Simulationskern ist dabei außerdem eine sehr effiziente Synchronisation der periodenorientierten mit der ereignisbasierten Simulation möglich. Tatsächlich ist es damit möglich, auf aktuellen Host-PCs die Echtzeitfähigkeit der HW/SW-Cosimulation zu erreichen; selbst in komplexen Systemumgebungen mit bidirektionalen Bussen kann eine Performance von mehr als 1M Befehle/sec. erreicht werden.

Im einzelnen wurden im Berichtsjahr die folgenden Komponenten realisiert:

- Erforschung der Kopplung von zyklus- und ereignisbasierter Simulation, Einsatz von JIT-Compiler-basierter Modellierung.
- Verbesserung und Erprobung des Simulationsmodells für den IDT R3051 (MIPS R3000) 32-bit Mikroprozessor (DA Rink).
- Überarbeitung der Versuchsunterlagen und Vorlagen für das T3-Praktikum.
- Grundlegende Überarbeitung des gesamten Rahmenwerks; Refactoring des Designbrowsers und der Simulatoranbindung.
- Verbesserung der Applet-Kompatibilität und Dokumentation der notwendigen Browser-Einstellungen.
- VHDL-Export
- Erprobung der Altera Excalibur Prototypenplattform zum Systemtest von HW/SW-Systemen mit dem NIOS-Prozessor.

Wie in den vergangenen Jahren wird Hades regelmäßig im Rahmen der Praktika zur technischen Informatik T1 (Digitaltechnik) und T3 (Rechnerarchitektur) eingesetzt. Dabei konnten die im Rahmen des Praktikums T3 notwendigen Simulationsmodelle auf der Register-Transfer-Ebene weiter verbessert werden. Zum Beispiel unterstützt der komplett überarbeitete Editor des Mikroprogramm-ROMs durch Hervorheben der „aktiven“ Bits eine schnellere Fehlersuche und erlaubt den Studenten, die entsprechenden Aufgaben deutlich schneller zu bearbeiten. Ebenfalls im Rahmen der Lehre wurden im Berichtszeitraum mittlerweile drei Vorlesungen neu erarbeitet und angeboten: „Medientechnik (multimedia systems)“ (WS01/02), „PC-Technologie“ (SS01 und SS00) und „Digitale Audioverarbeitung“ (WS00/01, Studienprofile ES und IM). Material und Skripte zu diesen Vorlesungen stehen im Internet unter tech-www.informatik.uni-hamburg.de/lehre zur Verfügung.

Schlagwörter:

Simulation, Systemsimulation, HW/SW-Cosimulation, Animation, Visualisierung, Rechnerarchitektur, Java, Python, Excalibur

Publikationen aus dem Projekt:

- N. Hendrich „Adaptive Learning Rule for Binary Couplings Networks“, Proc. of the International Joint Conference on Neural Networks, IJCNN 2000, Como, 25-27 July 2000, IEEE, Volume-5 pp.573-578
- N. Hendrich „A Java-based Framework for Simulation and Teaching“, Proceedings of the 3rd European Workshop on Microelectronics Education, EWME 2000, Aix en Provence, France, 18-19 May 2000, Kluwer Academic Publishers, 285-288
- N. Hendrich „Emerging Java Standards“, 93-112 in Standards in Information Technology, Ed. S. Nedeveschi and K. Pusztaí Cas Cartii de Stiinta, Cluj, 2000 (ISBN 973-686-075-2)
- Hendrich, N.: HADES: The Hamburg Design System, EASA 98, Oxford
- Hendrich, N.: *HADES Tutorial and User Guide*, <http://tech-www.informatik.uni-hamburg.de/applets/hades/>

- Hendrich N.: Praktikum Technische Informatik, Aufgabenblätter T3-1 bis T3-4,
<http://tech-www.informatik.uni-hamburg.de/Dokumentation/epra/>
Rink, C.: Ein Simulationsmodell für den PIC16C84 Microcontroller, Studienarbeit, Januar 1999
Rink, C.: Simulation des MIPS R3000 kompatiblen Prozessors als HADES-Modell, Diplomarbeit, seit
April 1999
Meyer, M.: Skripting für das HADES Simulations-Framework, Diplomarbeit, seit Juni 1999

2.3 VLSI-Algorithmen für Neuronale Netze (BPG) zur Echtzeit-Bildverarbeitung

Larsson, Lars, Dipl.-Phys.

Laufzeit des Projektes:

1993 – 1999

Projektbeschreibung:

Ziel des Projekts ist die Erarbeitung von Methoden zur Hardware-Implementierung von (BPG) Backpropagation-Netzwerken, um solch ein Neuronales Netzwerk zur Verarbeitung von Videobildern oder Videobildsequenzen in Echtzeit verwenden zu können. Die rein digitale Verarbeitung analoger Videosignale stellt dabei einen Teilschwerpunkt dar. Der Hardware-Implementierung neuronaler Netzwerke und Algorithmen zur digitalen Verarbeitung analoger Farbvideosignale ist dabei gemeinsam, daß die Validierung entsprechender Implementierungen durch Beobachtung deren Verhaltens und Wechselwirkung mit Systemkomponenten in realen Anwendungsumgebungen erfolgt. Im Rahmen des Projektes wurde dazu eine neue Methode zur Visualisierung des Lernverhaltens des BPG-Algorithmus eingeführt (sog. Lerntrajektorien) die auch im Berichtsjahr international publiziert wurde. Im Berichtsjahr wurde außerdem ein rein digitaler PAL-Videosignal-Encoder als FPGA-Prototyp implementiert und die Ergebnisse und dabei gewonnenen Erkenntnisse wurden im Berichtsjahr publiziert. Durch die Hardware-Implementierung des digitalen PAL-Encoders ist exemplarisch der direkte Vergleich von Software-Implementierung und Hardware-Implementierung anhand einer Signalverarbeitungsaufgabe möglich. Der FPGA-Prototyp beinhaltet alle Komponenten, die zur Erzeugung eines digitalen PAL-Farbvideosignalstroms erforderlich sind.

Schlagwörter:

Neuronale Netzwerke, Backpropagation, digitale Farbvideosignalverarbeitung, digitaler PAL-Encoder

Publikationen aus dem Projekt:

- Larsson, L.: VHDL-Implementierung und FPGA-basierte Validierung eines digitalen PAL-Videosignal-Encoders“, *DSP Deutschland'99*, München, 21.-23. September 1999, Tagungsband, S. 315-324, Design & Elektronik, WEKA Fachzeitschriftenverlag, Poing, Deutschland, 1999
- Larsson, L.: Learn Trajectories - A Systems Point of View Visualizing Method, *Third World Multiconference on Systemics, Cybernetics and Informatics (SCI'99) and the Fifth International Conference on Information Systems Analysis and Synthesis (ISAS'99)*, Orlando, Florida, USA, 31. July - 4. August 1999, in M. Torres, B. Sanchez, D. G. Lainiotis (eds.), Proceedings Vol. 6 - Image, Acoustic, Speech, and Signal Processing, S. 97-104, International Institute of Informatics and Systemics (IIS), Skokie, Illinois, USA, 1999
- Larsson, L.: Visualization of Backpropagation by Learn Trajectories to Explore Approximations for Hardware Implementations, *15th IMACS World Congress on Scientific Computation, Modelling and Applied Mathematics*, Berlin, Germany, 24-29 August 1997, in A. Sydow (Hrsg.), Proceedings Vol. 6 – Application in Modelling and Simulation, S. 517-522, Wissenschaft & Technik Verlag 1997.
- Larsson, L.; Krol, S.; Lagemann, K.: NeNEB – Neuronales Netzwerk zur Echtzeit – Klassifizierung von Bildern, *8. E.I.S. - Workshop, Entwurf Integrierter Schaltungen*, Hamburg, Germany, 8-9 April 1997, in L. Peters, K. Lagemann (Hrsg.), Tagungsband, S. 57-66, GMD 1997.
- Larsson, L.; Krol, S.; Lagemann, K.: NeNEB – Implementation of a Single Chip Neural Network Processor with Respect to System Level Constraints of Real Time Image Processing, in *Journal of Microelectronic Systems Integration*, Vol. 5, No. 1, March 1997, pp. 19-29, Plenum Publishing Corporation, 1997.

2.4 Architekturdentwurf eines Pipeline-Prozessors für die digitale Signalverarbeitung

Mäder, Andreas, Dipl.-Inform.

Laufzeit des Projekts:

seit 1996

Projektbeschreibung:

Im Rahmen dieses Projektes soll ein Gesamtsystem konzipiert und realisiert werden, das die digitale Signalverarbeitung unter harten Echtzeitbedingungen, die beispielsweise im industriellen Umfeld anfallen (Stichwort: Qualitätskontrolle von Fertigungsprozessen), durch eine spezielle Hardwarestruktur ermöglicht. Dabei sollen Untersuchungen der Systemsicht – Betrachtung der Anwendungsgebiete und Analyse der verwendeten Algorithmen – mit dem speziellen Wissen um Hardwarearchitekturen, bis hin zu Full-Custom Schaltungstechniken, miteinander verknüpft werden. Auf der Hardwareseite steht die Entwicklung eines geeigneten Prozessors im Mittelpunkt, dessen zentrale Bestandteile des Datenpfades mit parallel arbeitenden Prozessorelementen realisiert werden. Die einzelnen Prozessorelemente sind, hinsichtlich verschiedener Parameter, an die zu implementierenden Algorithmen anzupassen. Stichworte hierbei sind: verwendete Arithmetik, Genauigkeit, Wortbreite, Pipelintiefe, etc. Auf Seite der Architektur sind, für die Bewertung und den Vergleich alternativer Realisierungen, geeignete Metriken zu entwickeln, um so applikationsspezifisch „optimale“ Systeme realisieren zu können.

Schlagwörter: :

Schaltungen, dynamische; Signalverarbeitung, digitale; Hardwareakzeleration, Systementwurf

Publikationen aus dem Projekt:

Böttger, M.; „Entwurf von Hochgeschwindigkeitsaddierern in dynamischer Schaltungstechnik“, Studienarbeit, Dez. 1999

2.5 Arbeiten an einem Akzelerator für PPS (Product Planning Systems)

Schütz, Bernd, Dipl.-Inform.

Laufzeit des Projektes:

seit 1992

Projektbeschreibung:

Ein Entwurf einer Spezialarchitektur wurde bereits auf Konferenzen vorgestellt. Da mit begrenzter Stellenzahl gearbeitet werden muß, werden zur Validierung der verwendeten Algorithmen Referenzlösungen basierend auf exakten Arithmetiken benötigt. Es wurde untersucht, in wieweit sich andere Arithmetiken einsetzen lassen und wieweit sich Techniken aus der Hardwareverifikation auch zum Lösen von linearen bzw. nichtlinearen Gleichungssystemen verwenden lassen. Eingesetzt werden die Methoden des Symbolic Model Checking. Hierbei ist das Modell einer Hardwarestruktur, z.B. in einer Automatenrepräsentation, gegen eine Systemspezifikation zu verifizieren. Auf die Lösung z.B. eines linearen Gleichungssystems angewandt, bedeutet es, daß das Gleichungssystem in eine Hardwarestruktur überführt werden muß, die dann z.B. in eine FSM-Darstellung transformiert wird. Die Systembeschreibung, die zu verifizieren ist, lautet dann quasi: „Es existiert keine erfüllende Eingabebelegung“, d.h. es existiert keine Lösung des Gleichungssystems. Der Model Checker weist entweder diese Aussage nach oder widerlegt sie unter Angabe einer erfüllenden Bedingung.

Schlagwörter:

Lineare Optimierung; Spezialarchitektur; Arithmetiken; Model Checking.

Publikationen aus dem Projekt:

Schütz, B.: Solving Systems of Integer Linear Equations and Inequations Using Model Checking Techniques“, Applied Modelling and Simulation (AMS'99), IASTED International Conference, Cairns, Queensland, Australia, September 1-3, 1999, pp. 467-472

2.6 Simulation innovativer Rechnerarchitekturen

von der Heide, Klaus, Prof. Dr.

Laufzeit des Projektes:

seit 1994

Projektbeschreibung:

Im Berichtszeitraum wurde die Eignung von Standard-Signalprozessoren für spezielle Anwendungen untersucht. Neben einer Reihe von kleineren Projekten waren dies:

(A) Ein Chirp-Sonar mit Umsetzung der räumlichen Tiefeninformation in den Audiofrequenzbereich (Semesterprojekt, Vorarbeit für ein im SS 2001 geplantes Projekt)

(B) Eine DSP-Realisierung des Dolby-Surround (Semester-Projekt)

Um die im Rahmen von Projekten, Studien- und Diplomarbeiten erstellten Anwendungen der digitalen Signalverarbeitung vom Host-PC aus möglichst einheitlich ansteuern zu können, ist ein Rahmenwerk erforderlich, welches Grundbausteine für die Kommunikation zwischen PC und Signalprozessor sowie zur Steuerung der Analog-Digital- und Digital-Analog-Wandler bereitstellt. Diese Arbeit wurde erfolgreich im Berichtszeitraum abgeschlossen:

(C) Ein Rahmenwerk für die interaktive Steuerung von DSP-Anwendungen über eine grafische Benutzeroberfläche (Diplomarbeit Herbert Biergiesser).

Die Vorteile der digitalen Signalverarbeitung gegenüber der analogen sind so gravierend, dass man nur noch dort analog verarbeiten möchte, wo es digital nicht machbar ist. Die Grenze wird wegen enormer Fortschritte der Chip-Technologie zur Zeit sehr schnell zu höheren Frequenzen verschoben. Dadurch gibt es einen ausserordentlichen Bedarf an neuen Konzepten im Bereich der Verarbeitung von Zwischenfrequenzen (0.1 ...50 MHz). Gefragt sind insbesondere Architekturen für hochgetaktete ASICs, auf denen die sonst üblichen Analogschaltungen digital nachgebildet werden. Im Gegensatz zur seriellen Verarbeitung eines Signalprozessors ist hier jedoch massive Parallelität erforderlich. Die Möglichkeiten heutiger ASICs wurden in folgenden Studien ermittelt:

(D) Ein weitgehend programmierbarer ASIC für die Nachrichtentechnik. Entworfen wurde in VHDL ein Chip, mit dem sich jede nachrichtentechnische Aufgabe bis zu Taktraten von 50 MHz realisieren lässt (jedoch ohne Decoder).

Die Struktur besteht aus einer Reihe paralleler und bezüglich Taktrate und Koeffizienten konfigurierbarer FIR-Filter, sowie aus Cosinus-Sinus-Generatoren und Komplex-Multiplizierern und wenigen weiteren Komponenten, deren Verbindungsstruktur insgesamt programmierbar ist (Diplomarbeit Sebastian Wallner).

(E) Systemnahe Simulation rein digitaler Verarbeitung analoger Farbvideosignaldaten im PAL-Standard. Es handelt sich hier um Simulationen zur Unterstützung von Entwurfsentscheidungen im Vorfeld eines ASIC-Entwurfs (Diplomarbeit Sven Jürgens).

(F) Eine auf einem zahlentheoretischem Konzept basierende Struktur zur äusserst effizienten Generierung von analytischen Sinussignalen höchster Präzision.

Neben den genannten Arbeiten entstanden im Berichtszeitraum zwei interaktive multimediale E-Learning-Skripte zu den Themen „Digitale Signalverarbeitung“ und „Nachrichtentechnik“.

Schlagwörter:

VLSI-Entwurf; Nicht-von-Neumann-Architektur; Signalverarbeitung; DSP;
Filter

Publikationen aus dem Projekt:

Biergiesser, H.: Entwurf und Realisierung eines Frameworks für die interaktive Steuerung von DSP-Anwendungen über eine grafische Benutzeroberfläche, Diplomarbeit Juli 1999
Jürgens, S.: Systemnahe Simulation rein digitaler Verarbeitung analoger Farbvideosignaldaten (PAL), Diplomarbeit April 1999
Wallner, S.; von der Heide, K., „A Universal Processor for High Speed Communication“, Proceedings of the International Conference on Communications in Computing, CIC'2001, Las Vegas, Nevada USA, June 25-28 2001, CSREA Press, Volume 1 pp. 86-92
Wallner, Sebastian: Ein konfigurierbarer ASIC für nachrichtentechnische Anwendungen, Diplomarbeit Dezember 1999

2.7 Entwicklung eines Systems zur Bewertung von Heuristiken für Placement & Routing

Rauscher, Reinhard, Dr.; Klawan, Dieter, Dipl.-Math.; Bandelt, Hans-Jürgen, Prof.

Laufzeit des Projektes:

seit Aug. 92

Projektbeschreibung:

Die in 1992 begonnenen Arbeiten (innerhalb einer interdisziplinären Kooperation mit dem FB Mathematik, Prof. H.-J. Bandelt) wurden fortgeführt. Ziel bei der Entwicklung des hieraus entstandenen

Programmsystems ESPRO (Evaluation System for Placement and Routing Heuristics) war es, eine Plattform zu schaffen, mit deren Hilfe ein neutraler Vergleich verschiedener Placement - und Routingheuristiken möglich ist. Ergebnisse zum Vergleich sowie der Kopplung von Heuristiken wurden im Berichtsjahr zu einer internationalen Konferenz eingereicht.

Ferner wurde in der Diplomarbeit von Ole Blaurock ein innovatives Konzept untersucht, welches darauf basiert, dass das Verhältnis der Zellgrößen zu den Leitungslängen sukzessive kleiner wird und dieser Trend nach wie vor anhalten wird. Dementsprechend wird in diesem Konzept erst verdrahtet und danach ein jeweils geeigneter Platz für die aktiven Zellen gesucht bzw. Treiber eingefügt. Die Diplomarbeit Blaurock wurde im Berichtsjahr fertiggestellt.

Schlagwörter:

Placement; Routing; Evaluierung; Verifikation; innovative Heuristiken

Publikationen aus dem Projekt:

- Blaurock, O.: Konzeption und Evaluierung eines innovativen Platzierungs- und Verdrahtungsverfahrens, Diplomarbeit November 2001
- Jenke, H.: Implementierung und Evaluation innovativer Platzierungsheuristiken für das CLSI-Chipdesign mit Standardzellen, Diplomarbeit Mai 1997
- Kahlbaum, O.: Ein Tool zur Verifikation von Standardzell-Layouts, Diplomarbeit Juli 1997
- Rauscher, R., Klawan, D.: Results in Comparing Innovative Placement Heuristics, Proceedings of EUROMICRO'99, Los Alamitos: IEEE Computer Society Press, Milan, Sept. 1999, pp 282-285
- Rauscher, R.: Vortrag im Seminar von Herrn Prof. Lang (Sommersemester 1998): ESPRO: Ein System zur Evaluierung innovativer Placement & Routing- Heuristiken
- Rauscher, R.: Vortrag im Seminar von Herrn Prof. Freksa (Sommersemester 1998): Ergebnisse zum Einsatz der Fuzzy-Logic in ESPRO.
- Rauscher, R., Klawan, D., Bandelt, H.-J.: Results given by a New Evaluation System for Placement and Routing Heuristics, In M. E. Kavanaugh (ed.), Proceedings of EUROMICRO'96, Los Alamitos: IEEE Computer Society Press, 1996, pp. 259-266

2.8 Werkzeug zur Untersuchung von Entwurfsentscheidungen

Rauscher, Reinhard, Dr.

Laufzeit des Projekts:

seit Aug. 91

Projektbeschreibung:

Basierend auf Analysen von Entwurfsentscheidungen, die beim Entwurf einiger am AB Tech durchgeführten ASIC-Entwürfe getroffen wurden, ist ein Tool entwickelt worden, das folgende Ziele verfolgt:

- Klassifikation von Entscheidungen
- Aufzeigen von (evtl. intuitiv) getroffenen Entscheidungen
- Dokumentation des Entscheidungsbaums
- Geeignete Anordnung der Entwurfsentscheidungen

Die Arbeiten wurden im Rahmen der Diplomarbeit Th. Scharler fortgeführt.

Schlagwörter:

Entwurfsmethodik; Entwurfsentscheidungen; Decision Maker, Decision Support

Publikationen aus dem Projekt:

- Rauscher, R.: Entwurfsmethodik hochintegrierter anwendungsspezifischer digitaler Systeme, Wissenschaftliche Schriften, Pro Universitate Verlag, Sinzheim, 228 S., 1996
- Rauscher, R.: A Design Assistant for Scheduling of Design Decisions, In M.E. Kavanaugh (ed.), Proceedings of EUROMICRO'96, Los Alamitos : IEEE Computer 1996 pp. 88-95
- Rauscher, R.: Entwurf und Entwurfsmethodik hochintegrierter anwendungsspezifischer digitaler Systeme, Univ. Hamburg, FB Informatik, Habilitationsschrift, Febr. 1998

2.9 Untersuchungen eines Ansatzes zum Testen integrierter Schaltungen

Rauscher, Reinhard, Dr., Schütz, Bernd

Laufzeit des Projekts:

Februar 1998 – Dezember 1999

Projektbeschreibung:

Durch die stetige Verkleinerung der minimalen Strukturbreiten bei integrierten Schaltungen werden Defekte, die mehrere nebeneinanderliegende Komponenten (Verdrahtungen) betreffen, immer wahrscheinlicher. Hierauf basierend wurde ein Ansatz verfolgt, bei dem nicht mehr nur die Netzliste analysiert wird, sondern auch das Layout berücksichtigt wird. Idee ist, daß vorerst nur nach großen Defekten gesucht wird, die mehrere nebeneinander liegende Leitungen beeinflussen. Im Berichtsjahr wurde ein Satz von Prototypen-Programmen erstellt und anhand einiger Beispiele erprobt. Ergebnisse hierzu wurden zu einer internationalen Konferenz eingereicht und angenommen.

Schlagwörter:

Testen; Defektgrößen; Fehlerüberdeckung

Schlagwörter:

Testen; Defektgrößen; Fehlerüberdeckung

Publikationen aus dem Projekt:

Rauscher, R., Schütz, B.: A New Approach for Testing MOS Circuits based on Large Defects, Proc. IMTC 99, 16th IEEE Instrumentation and Measurement Technology Conference, Vol. 2, pp 838-843, Venedig, 24-26.5.99

2.10 Untersuchungen zum sog. Halskettenproblem

Rauscher, Reinhard, Dr., Lang, Rainer, Prof. Dr. (TIS)

Laufzeit des Projekts:

seit Ende 99

Projektbeschreibung:

Aufgrund einer Anfrage von Prof. Lang wurde (anfangs auf rein privater Basis) ein rein kombinatorisches Problem untersucht und durch ein entsprechendes Programm laufend die Ergebnisse evaluiert. Die Lösung dieses Problems wurde im Berichtsjahr als Fachbereichsbericht veröffentlicht. Im Berichtsjahr kam Herr Prof. Bodendiek (Univ. Kiel) auf uns zu und wollte diese Ergebnisse nutzen. Das Ergebnis dieser weiterführenden Arbeiten wurde in einem Buch veröffentlicht.

Schlagwörter:

Halskettenproblem, Primzahlen, Palindrome, Hamilton-Kreise, Petersensche Graphen.

Publikationen aus dem Projekt:

Rauscher, R., Lang, R.: Zur Lösung des Halskettenproblems, Fachbereichsbericht Nr. 225, Fachbereich Informatik, Univ. Hamburg, Mai 2000

Bodendiek, R., Lang, R., Gerken, B., Rauscher, R.: Hamiltonkreise in verallgemeinerten Petersen-Graphen $P(n,3)$, 172 S., Shaker-Verlag Aachen, 2000.

2.11 Dynamisch rekonfigurierbare Co-Prozessoren

Hahn, Lars H., Dipl.-Inform.

Laufzeit des Projektes:

seit 1998

Projektbeschreibung:

In modernen Rechnern erhöht sich die Zahl der Co-Prozessoren ständig. Gab es zunächst Co-Prozessoren nur für Gleitkomma-Arithmetik, gibt es sie heute für eine Vielzahl von Spezialaufgaben. Beispiele hierfür sind die „3D-Grafikbeschleuniger“ oder die Multimediaerweiterungen „MMX“ und „3D-Now!“. In der

Zukunft werden weitere Typen von Co-Prozessoren, z.B. für die Kryptographie und die Datenkompression, benötigt werden.

Das Ziel des Forschungsvorhabens „Dynamische Co-Prozessoren“ ist der Entwurf von anwendungsspezifisch konfigurierbaren Co-Prozessoren für PCs und ihre Einbindung in das Betriebssystem. Der Vorteil eines rekonfigurierbaren Co-Prozessors ist seine universelle Einsetzbarkeit für alle Bereiche, die eine Akzeleration durch Hardware benötigen. Hierbei spielen die Prinzipien des Hardware/Software Codesign eine wichtige Rolle, da die Aufgabenverteilung zwischen Haupt- und Co-Prozessor – zumindest für jeden neuen Co-Prozessor-Typ – immer wieder neu erfolgen muß.

In der ersten Forschungsphase wurde das Co-Prozessor-System DINAKO entwickelt. Hierbei wird ein SRAM-basiertes FPGA über den PCI-Bus mit Hilfe eines selbst entwickelten Controllers mit dem Hauptprozessor verbunden. Im zweiten Schritt wird das Gesamtsystem als Zielplattform für High-Level-Synthese genutzt.

Schlagwörter:

Co-Prozessor, Rekonfigurierbare Hardware, Hardware/Software Codesign

2.12 CoLa – Codesign Language

Hahn, Lars H., Dipl.-Inform.

Laufzeit des Projektes:

1999-2000

Projektbeschreibung:

Die Methoden des „Hardware/Software Codesign“ ermöglichen die integrierte Beschreibung, Simulation und Synthese von heterogenen Systemen. Ausgangspunkt ist immer die Spezifikation des Gesamtsystems. Hierbei ist es erforderlich, die Funktionsweise des Systems präzise zu beschreiben. Es sollten hierbei möglichst wenige Implementierungsdetails festgelegt werden, um so den Synthesewerkzeugen den Suchraum für eine optimale Lösung nicht unnötig einzuschränken.

Zu diesem Zweck wurde die Sprache *CoLa* entwickelt. Sie erlaubt die Verhaltensbeschreibung von Hardware/Software-Systemen auf einer sehr hohen Abstraktionsebene. *CoLa* ermöglicht die gemeinsame Beschreibung von allen Systemteilen, unabhängig davon ob sie später in Hardware oder Software realisiert werden.

Im Berichtsjahr 2000 wurde zunächst Syntax und Semantik der Sprache definiert. Weiterhin wurde ein Compiler implementiert, der die Übersetzung von *CoLa*-Beschreibungen nach ANSI-C ermöglicht.

Schlagwörter:

Hardware/Software-Codesign, High-Level System Modeling, Specification Languages

2.13 Untersuchungen zum praktischen Einsatz von VHDL

Mäder, Andreas, Dipl.-Inform.

Laufzeit des Projekts:

seit 2000

Projektbeschreibung:

Im Laufe der Zeit hat sich VHDL zum „de facto“ Standard für Hardwarebeschreibungssprachen entwickelt und inzwischen gibt es fast keine CAD-Werkzeuge mehr, die VHDL nicht unterstützen.

Die Sprache VHDL dient der Beschreibung und Simulation digitaler Systeme bestehend aus Standardkomponenten (ICs), aus anwendungsspezifischen Schaltungen (ASICs und FPGAs) und aus deren Umgebung (Protokolle, Software usw.). Im Schaltungs- und Systementwurf kann VHDL durchgängig eingesetzt werden: von der Spezifikation, als Beschreibung eines Systemverhaltens, über die einzelnen Implementationsschritte bis hin zum fertigen Entwurf. Alle dabei anfallenden Beschreibungen des Systems werden vom Sprachumfang abgedeckt.

Eine analoge Erweiterung (VHDL-AMS) ist seit 2000 standardisiert, mit ihrer Hilfe lassen sich nicht nur Schaltungen als elektrische Modelle simulieren, sondern sie ist universell für beliebige physikalische Domänen einsetzbar. Gerade die Kombination mit mikromechanischen Systemen (MEMS), Sensoren und Aktoren eröffnet völlig neue Anwendungsfelder der Mikroelektronik.

Wie in der Programmierung, lässt sich ein spezifiziertes Verhalten auf beliebig viele Weisen in VHDL codieren. Die Arbeit untersucht, wie VHDL-Beschreibungen aussehen sollten, damit sie sich besonders effizient weiterverarbeiten lassen. Dabei stehen folgende Teilaspekte im Mittelpunkt der Untersuchungen:

- Simulation und Synthese haben sehr unterschiedliche „Anforderungen“ an VHDL-Code, mit oft gegensätzlichen Optimierungseigenschaften.
- Die „Art“ der VHDL-Codierung entspricht direkt dem Abstraktionsgrad bei der Schaltungsmodellierung: vom parallelen Algorithmus bis hin zu Gatternetzliste. Abhängig von den in den Syntheseprogrammen implementierten Algorithmen und den möglichen Abstraktionsgraden ergeben sich sehr unterschiedliche „Coderungsstile“.
- Auch bei der Simulation gibt es unterschiedlichste Konzepte und Algorithmen, die spezifische VHDL-Beschreibungen nach sich ziehen.

Die am Arbeitsbereich, aus dem EUROCHIP/EUROPRACTICE Projekt, vorhandenen Simulations- und Syntheseprogramme wurden eingesetzt, um verschiedene Arten von VHDL-Code zu verarbeiten. Aufgabe dieser Phase war es, qualitative Unterschiede zwischen den Programmen herauszuarbeiten und möglichst universell einsetzbare VHDL-Beschreibungsstile zu entwickeln.

Schlagwörter:

VHDL, Simulation, Synthese, VLSI-Entwurf

Drittmittelprojekte

2.14 Projekt EUROCHIP/EUROPRACTICE

Mäder, Andreas, Dipl.-Inform.; Lagemann, Klaus, Prof. Dr.-Ing.; von der Heide, Klaus, Prof. Dr.

Laufzeit des Projektes:

seit 1990

Projektbeschreibung:

Dieses europaweite Verbundprojekt der EU soll die daran beteiligten Hochschulen in die Lage versetzen, den Bereich „Entwurf sehr hoch integrierter Schaltungen“ auf einem in den USA bzw. in Japan üblichen wissenschaftlichen Standard zu halten. Dazu werden insbesondere die sehr hohen Kosten für die CAD-Werkzeuge und Chipfertigung finanziert; darüber hinaus auch Geräte, Personal, Schulung und Reisen. Um spezielle Hochschulkonditionen zu erhalten und um Lizenzierungs- und Geheimhaltungsprobleme zu beherrschen, werden alle Ressourcen in EUROCHIP/EUROPRACTICE zentral beschafft bzw. verwaltet und den einzelnen Hochschulen im Rahmen spezieller Verträge zugänglich gemacht. Diese spezielle Drittmittelform bringt es mit sich, daß der Universität anstatt „Geld“ direkt die „Ware“ zugeht. Der kommerzielle Gegenwert für einige solcher „Waren“ beträgt laut Angaben aus der EU: Für zwei Software-Pakete 1,3 Mio. DM, für Chipfertigung 100.000 DM sowie für Geräte 130.000 DM. Es gibt viele kleinere weitere Softwarepakete sowie bisher ca. 200 Ergänzungen und Up-Dates, so daß die Sachwerte mehr als 2 Mio. DM ausmachen. Es muß betont werden, daß der Wert solcher „Ware“ die Finanzkraft der Universität bei weitem überschreitet, gleichwohl durch sie aber angemessene Forschung und Lehre erst möglich wird. Im Rahmen dieses Vertrages hat sich die Universität verpflichten müssen, einen wissenschaftlichen Mitarbeiter speziell für dieses Projekt neu einzustellen (was auch geschah), der die Forschung und Lehre auf diesem Fachgebiet durch systematische Pflege dieses Instrumentariums sichern hilft.

Schlagwörter:

EU; EUROCHIP; EUROPRACTICE; VLSI-Design; Hardware-Beschreibungssprache VHDL; High-Level-Synthese

Finanzierung:

Geldgeber:	EG / EU (EUROCHIP / EUROPRACTICE)
Laufzeit der Förderung:	seit 1990
Sachmittel:	mehr als 2.000.000 DM (siehe obigen Text)
Personalmittel:	160.000 DM

3. Publikationen und weitere Leistungen

Wissenschaftliche Publikationen im Berichtszeitraum

2001

- Hartmann, P., Witt, St.: Vergleichende Analyse und VHDL-basierte Implementation von Zufallzahlengeneratoren auf Chipkarten (Smartcards), Univ. Hamburg, FB Informatik, Bericht Nr. 234, Dez. 2001
- S. Wallner, von der Heide, K., „A Universal Processor for High Speed Communication“, Proceedings of the International Conference on Communications in Computing, CIC'2001, Las Vegas, Nevada USA, June 25-28 2001, CSREA Press, Volume 1 pp. 86-92

2000

- Bodendiek, R., Lang, R., Gerken, B., Rauscher, R.: Hamiltonkreise in verallgemeinerten Petersen-Graphen $P(n,3)$, 172 S., Shaker-Verlag Aachen, 2000.
- Hahn, L. H., „CoLa - Codesign Language Referenz-Handbuch“, Bericht Nr. 228 des Fachbereichs Informatik der Universität Hamburg, 2000
- Hendrich, N.: A Java-based Framework for Simulation and Teaching, Proceedings of the 3rd European Workshop on Microelectronics Education, EWME 2000, Aix en Provence, France, 18-19 May 2000, Kluwer Academic Publishers, 285 – 288
- Hendrich, N.: Adaptive Learning Rule für Binary Couplings Networks, Proc. of the International Joint Conference on Neural Networks, IJCNN 2000, Como 25-27 July 2000, IEEE, Volume 5 pp. 573 – 578
- Hendrich, N.: Emerging Java Standards, 93 – 112 in Standards in Information Technology, Ed. S. Nedeveschi and K. Pusztai Cas Cartii de Stiinta, Cluj, 2000 (ISBN 973-686-075-2)
- Rauscher, R. in Disterer, G., Fels, F., Hausotter, A.: Taschenbuch der Wirtschaftsinformatik, (eigener Beitrag S. 187-197), Fachbuchverlag Leipzig, 2000.
- Rauscher, R., Lang, R.: Zur Lösung des Halskettenproblems, Fachbereichsbericht Nr. 225, Fachbereich Informatik, Univ. Hamburg, Mai 2000

1999

- Hendrich, N.: Emerging Java Standards, Tempus ESITEC workshop, S_JEP12531-97, Cluj, 8. Nov. 1999
- Larsson, L.: VHDL-Implementierung und FPGA-basierte Validierung eines digitalen PAL-Videosignal-Encoders, DSP Deutschland'99, München, 21.-23. September 1999, Tagungsband, pp. 315-324, Design & Elektronik, WEKA Fachzeitschriftenverlag, Poing, Deutschland, 1999
- Larsson, L.: Learn Trajectories – A Systems Point of View Visualizing Method, Third World Multiconference on Systemics, Cybernetics and Informatics (SCI'99) and the Fifth International Conference on Information Systems Analysis and Synthesis (ISAS'99), Orlando, Florida, USA, 31. July - 4. August 1999, in M. Torres, B. Sanchez, D. G. Lainiotis (eds.), Proceedings Vol. 6 - Image, Acoustic, Speech, and Signal Processing, pp. 97-104, International Institute of Informatics and Systemics (IIS), Skokie, Illinois, USA, 1999
- Rauscher, R.; B. Schütz, B.: A New Approach for Testing MOS Circuits based on Large Defects, IMTC'99, 16th Int. IEEE Instrumentation and Measurement Technology Conference, Venice, 24-26 May 1999, pp. 838-843
- Rauscher, R.; Klawan, D.: Results in Comparing Innovative Placement Heuristics, Proceedings of EURO-MICRO'99, Los Alamitos: IEEE Computer Society Press, Milan, Sept. 1999, pp 282-285
- Rauscher, R.; Bohnsack, F.: Results of an Elliptic-Curve-Approach for Use in Cryptosystems, Proceedings of EUROMICRO'99, Los Alamitos: IEEE Computer Society Press, Milan, Sept. 1999, pp 415-422
- Schütz, B.: Solving Systems of Integer Linear Equations and Inequations Using Model Checking Techniques, Applied Modelling and Simulation (AMS'99), IASTED International Conference, Cairns, Queensland

Wichtige Publikationen aus zurückliegenden Jahren

- Hendrich, N.: A scalable architecture for binary couplings attractor neural networks, Proc. MicroNeuro'96, Lausanne, 213-220 (1996).
- Hendrich, N.: Java für Fortgeschrittene, Springer Verlag, Berlin Heidelberg, 1997, ISBN 3-540-61531-8
- Hendrich, N.: Mustererkennung mit neuronalen Assoziativspeichernetzen, Dissertationen zur künstlichen Intelligenz, Band 137, Infix-Verlag, Bonn, 1996, ISBN-3-89601-137-5

- Koegst, M., Rauscher, R. Brüscke, Chr.: Entwurfsverbesserung durch Umcodierung des Mikroprogramms, Proceedings 40. Internationales Wissenschaftliches Kolloquium, Ilmenau, 18-21. Sept. 1995, S. 159 - 164
- Koegst, M., Rauscher, R.: A System for Microcode Reduction, Report: SFB 358-B1-1/96, Technische Universität Dresden, Januar 1996
- Lagemann, K., Peters, L. (Hrsg.): 8. E.I.S. - Workshop, Entwurf Integrierter Schaltungen, Hamburg, Germany, 8.-9. April 1997, Tagungsband, GMD 1997. <DT>
- Larsson, L., Krol, S., Lagemann, K.: NeNEB - An Application Adjustable Single Chip Neural Network Processor for Mobile Real Time Image Processing, in Proc. of the 1996 International Workshop on Neural Networks for Identification, Control, Robotics, and Signal/Image Processing, NICROSP'96, S. 154 - 162, Venice, Italy, 21-23 August 1996, IEEE 1996. Computer Society Press 1996
- Larsson, L., Krol, S., Lagemann, K.: NeNEB – Implementation of a Single Chip Neural Network Processor with Respect to System Level Constraints of Real Time Image Processing, in *Journal of Microelectronic Systems Integration*, Vol. 5, No. 1, March 1997, pp. 19-29, Plenum Publishing Corporation, 1997.
- Larsson, L., S. Krol, S., Lagemann, K.: NeNEB – Neuronales Netzwerk zur Echtzeit – Klassifizierung von Bildern, 8. E.I.S. - Workshop, Entwurf Integrierter Schaltungen, Hamburg, Germany, 8-9 April 1997, in L. Peters, K. Lagemann (Hrsg.), Tagungsband, S. 57-66, GMD 1997
- Larsson, L.: An EPLD Based Transient Recorder for Simulation of Video Signal Processing Devices in a VHDL Environment Close to System Level Conditions, *Sixth International Workshop on Field Programmable Logic and Applications, FPL'96*, Darmstadt, Germany, 23-25 September 1996, in R. W. Hartenstein & M. Glesner (Herausgeber), in Lecture Notes in Computer Science 1142, S. 371 - 375, Springer 1996.
- Larsson, L.: Visualization of Backpropagation by Learn Trajectories to Explore Approximations for Hardware Implementations, *15th IMACS World Congress on Scientific Computation, Modelling and Applied Mathematics*, Berlin, Germany, 24-29 August 1997, in A. Sydow (Hrsg.), Proceedings Vol. 6 – Application in Modelling and Simulation, S. 517-522, Wissenschaft & Technik Verlag 1997.
- Larsson, L.; Mertsching, B., Schmalz, S.: Interaktive Schaltungssimulation – Ein Beitrag zur zukunftsorientierten Grundstudiums-ausbildung in der Technischen Informatik, 8. E.I.S. - Workshop, Entwurf Integrierter Schaltungen, Hamburg, Germany, 8-9 April 1997, L. Peters, K. Lagemann (Hrsg.), Tagungsband, S. 239-248, GMD 1997.
- Peschel, N.: Konzeption und Entwicklung einer Architektur zur parametrisierbaren Filterung von Grauwertbildern und deren ASIC Realisierung, Bericht FBI-HH-B-189/96, Fachbereich Informatik, Universität Hamburg, 1996
- Rauscher, R.; Koegst, M.: A System for Microcode Reduction, Proc. International Workshop on Logic and Architecture Synthesis, Grenoble, Dez. 1996, pp. 379-386
- Rauscher, R., Krause, A.: A System for Heuristic Modifications on PLA-Specifications, In M.E. Kavanaugh (ed), Proceedings of EUROMICRO'96, Los Alamitos: IEEE Computer Society Press, 1996 pp. 267-275
- Rauscher, R., Klawan, D., Bandelt, H.-J.: Results given by a New Evaluation System for Placement and Routing Heuristics, In M.E. Kavanaugh (ed), Proceedings of EUROMICRO'96, Los Alamitos: IEEE Computer Society Press, 1996 pp. 259-266
- Rauscher, R.: Untersuchungen zur (An-) Ordnung von Entwurfsentscheidungen, Proceedings 2nd Workshop Mikrosystemtechnik, Chemnitz, 16.-17. Okt. 1995, pp 206-215
- Rauscher, R.: A Design Assistant for Scheduling of Design Decisions, In M.E. Kavanaugh (ed), Proceedings of EUROMICRO'96, Los Alamitos : IEEE Computer 1996 pp. 88- 95
- Rauscher, R.: An ASIC Performing Image Processing Tasks in Realtime, Proc. EUROMICRO'95, Como, Italien, pp 624-631
- Rauscher, R.: Entwurfsmethodik hochintegrierter anwendungsspezifischer digitaler Systeme, Wissenschaftliche Schriften, Pro Universitate Verlag, Sinzheim, 228 S., 1996

Begutachtungen und abgeschlossene Betreuungen am Fachbereich

Dissertationen

DiplomandIn	Thema	Datum
Lars H. Hahn	Aspekte der Spezifikation von Hardware-/Software-Systemen	12/2001
Lars Larsson	Zur Validierung der Spezifikation von videobildverarbeitenden Komponenten unter realen Anwendungsbedingungen	04/2000

Diplomarbeiten

DiplomandIn	BetreuerIn	Thema	Datum
Böttger, M.	Rauscher, R.	Komplexitätsabschätzung von hardwareakzelerierten Attacken auf ECC-Kryptosysteme,	12/2001
Blaurock, O.	Rauscher, R.	Konzeption und Evaluierung eines innovativen Platzierungs- und Verdrahtungsverfahrens	11/2001
Hahlbrock, S.	Rauscher, R.	Richtlinien für die Erstellung und Simulation von VHDL-AMS Modellen am Beispiel einer PLL	07/2001
Mayer, Matthias	Hendrich, N.	Skriptanbindung für das HADES-Simulations-Framework	06/2000
Rink, Claas	Hendrich, N.	Simulation eines MIPS-R3000-kompatiblen Mikroprozessors als HADES-Modell	04/2000
Wallner, Sebastian	v. d. Heide, K.	Ein konfigurierbarer ASIC für nachrichtentechnische Anwendungen	03/2000
Gorr, S.	Rauscher, R.	Konzeption, Evaluierung und Implementierung eines Akzelerators für elliptische Kurven	02/2000
Sven Jürgens	K. von der Heide	Systemnahe Simulation rein digitaler Verarbeitung analoger Farbvidoesignaldaten (PAL)	04/1999

Studienarbeiten

StudentIn	BetreuerIn	Thema	Datum
Hartmann, P., Witt, St.	Rauscher, R.	Vergleichende Analyse und VHDL-basierte Implementation von Zufallszahlengeneratoren auf Chipkarten (SmartCards),	06/2001
Markus Böttger	A. Mäder	Entwurf von Hochgeschwindigkeitsaddierern in dynamischer Schaltungstechnik	Dez. 1999
Claas Rink	N. Hendrich	Ein Simulationsmodell für den PIC 16C84 Mikrocontroller	Jan. 1999

Baccalaureatsarbeiten

StudentIn	BetreuerIn	Thema	Datum
Knepper, T., Poettering, B..	v.d. Heide.	Entwicklung eines Ortungsgerätes für Blinde	09/2001

Wissenschaftliche Vorträge

2001

Hendrich, N.

Visualisierung und Simulation digitaler Systeme, Uni Dortmund, LS Informatik XIII (Prof. Marwedel), 11. Okt. 2001

Hendrich, N.

Hades: Ein Framework zur interaktiven Simulation digitaler Systeme, Fernuni Hagen, Technische Informatik I (Prof. Schiffmann), 25. Juni 2001

2000

keine Vorträge

1999

Hendrich, N.:

Systemsimulation im Hardware/Software-Codesign, Forschungstag Fachbereich Informatik, 10. Febr. 1999

Hendrich, N.:

Emerging Java Standards, Tempus ESITEC workshop, S_JEP12531-97, Cluj, 8. Nov. 1999

Rauscher, R.:

Entwicklung einer integrierten Schaltung in Zusammenarbeit mit der Firma TRINAMIC – Erfahrungsbericht. Vortrag in der Handelskammer im Rahmen der Veranstaltungsreihe: „Wirtschaft trifft Wissenschaft“. 9. Dez. 1999

4. Wichtige weitere Aktivitäten

Mitarbeit in wissenschaftlichen außeruniversitären Gremien

Lagemann, Klaus (bis 1. Oktober 1999):

- Mitglied im Kuratorium des Technologieberatungszentrums
- Arbeitsgemeinschaft EuroProjekt, Hamburg
- Arbeitskreis "Technische Informatik in Deutschland"
- Mitglied im Beirat des FB Elektrotechnik der FHS Hamburg

Rauscher, R.:

- Mitglied in HiTeC
- Mikrosystem-Stammtisch bei TuTech

Mitarbeit in Universitätsgremien

Lagemann, Klaus (bis 1. Oktober 1999):

- Mitglied im Fachbereichsrat
- Mitglied im Wirtschaftsausschuß
- Raum-Beauftragter des FBI
- GEMAG (Gemeinsamer Ausschuß mit der TuHH)
- Mitglied im Bauausschuss der Uni
- Mitglied im SenADV

Rauscher, R.:

- FBR
- Leiter der Nebenfachkommission Chemie
- „Taskforce Schule“
- Mitglied des gemeinsamen Ausschusses mit der TU-HH (GEMAG)
- Mitglied im Fachbereichsrat

Tewes, Heike:

- Mitglied im Fachbereichsrat
- Mitglied im Wirtschaftsausschuß

Begutachtungstätigkeit

Kongressorganisation/-ausrichtung durch Mitglieder der Fachbereichseinrichtung

Tewes, Heike:

- DFG-Schwerpunktkolloquium VIVA „Grundlagen und Verfahren verlustarmer Informationsverarbeitung“, Universität Hamburg, 2./3. November 1999
- Deutscher Fakultätentag, 19.11.1999 in Hamburg